

PATENT
81912.0015

Express Mail Label No. EV 325 217 409 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Toshimitsu KATO et al.

Serial No: Not assigned

Filed: September 12, 2003

For: OPTICAL SEMICONDUCTOR RELAY

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-273500 which was filed September 19, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: September 12, 2003

By: 

Anthony J. Orler

Registration No. 41,232

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

469361500-1111



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 1 9 日
Date of Application:

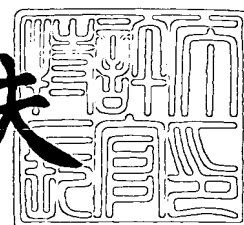
出 願 番 号 特 願 2 0 0 2 - 2 7 3 5 0 0
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 7 3 5 0 0]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 7 月 3 0 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 6 0 5 6 7

【書類名】 特許願

【整理番号】 46B0165141

【提出日】 平成14年 9月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/10

【発明の名称】 半導体リレー

【請求項の数】 5

【発明者】

【住所又は居所】 福岡県北九州市小倉北区下到津 1 丁目 1 0 番 1 号 株式
会社東芝 北九州工場内

【氏名】 加藤 俊光

【発明者】

【住所又は居所】 福岡県北九州市小倉北区下到津 1 丁目 1 0 番 1 号 株式
会社東芝 北九州工場内

【氏名】 相沢 吉昭

【発明者】

【住所又は居所】 福岡県北九州市小倉北区下到津 1 丁目 1 0 番 1 号 株式
会社東芝 北九州工場内

【氏名】 湯村 勝

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100081732

【弁理士】

【氏名又は名称】 大胡 典夫

【選任した代理人】

【識別番号】 100075683

【弁理士】

【氏名又は名称】 竹花 喜久男

【選任した代理人】

【識別番号】 100084515

【弁理士】

【氏名又は名称】 宇治 弘

【手数料の表示】

【予納台帳番号】 009427

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001435

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体リレー

【特許請求の範囲】

【請求項 1】 電気信号を光信号に変換する発光素子と、

この発光素子の光信号を受光して電気信号に変換する第 1 のフォトダイオードアレイと、

この第 1 のフォトダイオードアレイの一端に一方の電極が接続された第 1 のダイオードと、

この第 1 のダイオードの他方の電極がゲート端子に接続され、ソース端子が前記第 1 のフォトダイオードアレイの他端に接続される MOSFET と、

前記発光素子の光信号を受光して電気信号に変換するとともに、両端が前記第 1 のダイオードの電極にそれぞれ接続された第 2 のフォトダイオードアレイと、

前記 MOSFET のゲート端子及びソース端子間に接続される制御回路からなることを特徴とする半導体リレー。

【請求項 2】 前記制御回路は、前記 MOSFET のゲート端子及びソース端子間に接続されるインピーダンス素子と、

この前記インピーダンス素子の両端子にそれぞれベース端子及びコレクタ端子が接続されるバイポーラトランジスタと、

このバイポーラトランジスタのエミッタ端子および前記ベース端子間に接続される第 2 のダイオードからなることを特徴とする請求項 1 記載の半導体リレー。

【請求項 3】 前記第 1 および第 2 のフォトダイオードアレイは、それぞれ複数のフォトダイオードが同一極性で直列に接続され、前記第 1 のフォトダイオードアレイを構成するフォトダイオードは、それらの接合部の面積が前記第 2 のフォトダイオードアレイを構成するフォトダイオードの接合部の面積よりも大であることを特徴とする請求項 2 記載の半導体リレー。

【請求項 4】 前記第 1 のダイオードは、そのアノード電極が前記第 1 のフォトダイオードアレイのアノード側端部に接続されているであることを特徴とする請求項 3 記載の半導体リレー。

【請求項 5】 電気信号を光信号に変換する発光素子と、

この発光素子の光信号を受光して電気信号に変換する第 1 のフォトダイオードアレイと、

この第 1 のフォトダイオードアレイの一端に一方の電極が接続された第 1 のダイオードと、

この第 1 のダイオードの他方の電極がゲート端子に接続され、ソース端子が前記第 1 のフォトダイオードアレイの他端に接続される MOSFET と、

前記発光素子の光信号を受光して電気信号に変換するとともに、一端が前記第 1 のダイオードの一方の電極に接続され、他端がインピーダンスを介して前記第 1 のダイオードの他方の電極に接続された第 2 のフォトダイオードアレイと、前記 MOSFET のゲート端子及びソース端子にソース端子およびドレイン端子が接続され、ゲート端子が前記インピーダンスおよび前記第 2 のフォトダイオードアレイの接続点に接続されるジャンクション FET トランジスタと、前記インピーダンスに並列に接続されたバイパスダイオードとからなることを特徴とする半導体リレー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は光半導体リレーに係り、特にスイッチング時間の短縮化を図った光半導体リレーに関する。

【0002】

【従来の技術】

一般に、光半導体リレーは、LED 素子のような入力側発光素子（以下 LED という。）、出力側フォトダイオードアレイ（以下 PDA という。）とスイッチング用 MOSFET 素子から構成されており、入力側 LED の光を受光側 PDA が受けて電圧変換し、この電圧がゲート電圧となって、MOSFET を駆動することによりスイッチングを行うものである。電気信号を光に変換して信号伝送するため、入・出力間を電氣的に絶縁することができるとともに、メカニカルリレーと異なり接点磨耗もなく、高速、小型で低消費電力での駆動が可能である。

【0003】

図4に従来の光半導体リレーの回路構成を示す。図に示すように、LED1からの光を受光する第1のPDA2のアノード側の端部とダイオード5、MOSFET4のゲート端子が直列に接続されており、第1のPDA2のカソード側の端部がMOSFET4のソース端子が接続されている。一方、第1のPDA2のアノード側の端部には第2のPDA3のカソード側端部が接続され、第2のPDA3のアノード側端部はインピーダンス素子10を介してダイオード5のカソード電極側に接続されている。第1のPDA2および第2のPDA3は、それぞれ複数のフォトダイオードを同一極性で直列に接続したものであり、第1のPDA2に対して第2のPDA3を構成するフォトダイオードはそれらの接合面積が小さいものが利用される。そして第1のPDA2および第2のPDA3は全体としても直列に接続されている。さらにインピーダンス素子10とともに制御回路を構成するノーモリーオン型トランジスタ（以下J-FET12）がそのゲート・ソース端子でインピーダンス素子10を挟むように接続されている。この制御回路は光半導体リレーを構成するスイッチング用のMOSFETの充放電時間を制御することにより、光半導体リレーのスピードおよび光感度を制御するための回路である。

【0004】

このような光半導体リレーは、まず、入力電気信号をオンにすると（オン状態）、LED1が発光し、この光を受光した第1のPDA2はこれを電気信号に変換する。このとき電流は、ダイオード5を通りMOSFET4のゲート端子へと流れる経路をとり、MOSFET4のゲートが充電され、オン状態に移行する。また、第1のPDA2で変換された電流はその一部がインピーダンス素子10を通してJ-FET12のゲート端子に供給される。なおこのとき、第2のPDA3もLED1の光を受光して電流を発生し、第1のPDA2で変換された電流とともにJ-FET12のゲート端子に供給される。これによって、J-FET12のゲート・ソース間には、インピーダンス素子10の両端の電位差がバイアス電圧として印加され、オフ状態になっている。

【0005】

そして、入力電気信号をオフにすると（オフ状態）、LED1からの光信号が停止し、第1のPDA2および第2のPDA3からの電気信号も停止するため、電流が消失してJ-FET12のバイアス電圧が0となり、J-FET12はオン状態に移行する。J-FET12がオン状態に移行すると、MOSFET4のゲート・ソース間が短絡された状態となり、蓄積された電荷は速やかに放電され、オフ状態となる。図4に示した従来例は以下の特許文献1に記載されている。

【0006】

【特許文献1】

特開平2-303074（第1図）

【0007】

【発明が解決しようとする課題】

しかしながら、このような光半導体リレーにおいては、第2のPDAからMOSFETへの充電電流に対して、制御回路を構成するインピーダンス素子が直列に入るため、充電抵抗として作用し、充電時間が遅延する、すなわち、スイッチオン時間が長くなる、という問題が発生していた。

【0008】

そこで、本発明は、従来の光半導体リレーにおける欠点を取り除き、動作機能を低下させることなく、スイッチオン時間を短縮することが可能な光半導体リレーを提供することを目的とするものである。

【0009】

【課題を解決するための手段】

本発明の半導体リレーは、電気信号を光信号に変換する発光素子と、

この発光素子の光信号を受光して電気信号に変換する第1のフォトダイオードアレイと、

この第1のフォトダイオードアレイの一端に一方の電極が接続された第1のダイオードと、

この第1のダイオードの他方の電極がゲート端子に接続され、ソース端子が前記第1のフォトダイオードアレイの他端に接続されるMOSFETと、

前記発光素子の光信号を受光して電気信号に変換するとともに、両端が前記第1のダイオードの電極にそれぞれ接続された第2のフォトダイオードアレイと、
前記MOSFETのゲート端子及びソース端子間に接続される制御回路からなることを特徴とするものである。

【0010】

また、本発明の半導体リレーにおいては、前記制御回路は、前記MOSFETのゲート端子及びソース端子間に接続されるインピーダンス素子と、

この前記インピーダンス素子の両端子にそれぞれベース端子及びコレクタ端子が接続されるバイポーラトランジスタと、

このバイポーラトランジスタのエミッタ端子および前記ベース端子間に接続される第2のダイオードからなることを特徴としている。

【0011】

さらに、本発明の半導体リレーにおいては、前記第1および第2のフォトダイオードアレイは、それぞれ複数のフォトダイオードが同一極性で直列に接続され、前記第1のフォトダイオードアレイを構成するフォトダイオードは、それらの接合部の面積が前記第2のフォトダイオードアレイを構成するフォトダイオードの接合部の面積よりも大であることを特徴としている。

【0012】

さらに、本発明の半導体リレーにおいては、前記第1のダイオードは、そのアノード電極が前記第1のフォトダイオードアレイのアノード側端部に接続されているであることを特徴としている。

【0013】

また、本発明の半導体リレーは、電気信号を光信号に変換する発光素子と、
この発光素子の光信号を受光して電気信号に変換する第1のフォトダイオードアレイと、

この第1のフォトダイオードアレイの一端に一方の電極が接続された第1のダイオードと、

この第1のダイオードの他方の電極がゲート端子に接続され、ソース端子が前記第1のフォトダイオードアレイの他端に接続されるMOSFETと、

前記発光素子の光信号を受光して電気信号に変換するとともに、一端が前記第1のダイオードの一方の電極に接続され、他端がインピーダンスを介して前記第1のダイオードの他方の電極に接続された第2のフォトダイオードアレイと、前記MOSFETのゲート端子及びソース端子にソース端子およびドレイン端子が接続され、ゲート端子が前記インピーダンスおよび前記第2のフォトダイオードアレイの接続点に接続されるジャンクションFETトランジスタと、前記インピーダンスに並列に接続されたバイパスダイオードとからなることを特徴とするものである。

【0014】

【発明の実施の形態】

以下本発明の実施形態について、図を参照して説明する。

【0015】

図1に本発明の光半導体リレーの回路図を示す。図に示すように、LED1と光結合するように第1のPDA2が設けられ、第1のPDA2のカソード側端部とスイッチング用のMOSFET4のソース端子が接続されている。また、第1のPDA2のアノード側端部はダイオード5を直列に介してMOSFET4のゲート端子に接続されている。すなわち、ダイオード5はそのアノード電極が第1のPDA2のアノード側端部に接続され、カソード電極がMOSFET4のゲート端子に接続されている。

【0016】

一方、出力電圧の増大を図るために設けられ第1のPDA2より接合面積の小さい第2のPDA3のアノード側端部はMOSFET4のゲート端子に実質的にインピーダンス素子を介することなく接続され、カソード側端部は第1のPDA2のアノード側端部に接続されている。すなわち、第1のPDA2および第2のPDA3は全体としても直列に接続された状態になっている。そして、MOSFET4のゲート・ソース間には制御回路6が接続されている。

【0017】

図2に具体的な制御回路6の構成を含む光半導体リレーの回路構成を示す。制御回路6は、MOSFET4のゲートと第1のPDA2のカソード端子間に接続

されたインピーダンス素子 7 と、インピーダンス素子 7 の両端にベース・コレクタ端子がそれぞれ接続された $n p n$ トランジスタ 8 と、 $n p n$ トランジスタ 8 のエミッタ・ベース端子間に接続されたダイオード 9 から構成されている。ダイオード 9 はそのアノード電極が $n p n$ トランジスタ 8 のエミッタ端子側になるように接続されている。

【0018】

このような回路構成により、入力オン状態において、第 1 の PDA 2 → ダイオード 5 → MOSFET 4 ゲートという経路と、第 2 の PDA 3 → MOSFET 4 ゲートという経路により、第 1 の PDA 2、第 2 の PDA 3 により発生された電流が流れ、MOSFET 4 のゲートがオン状態に移行する。これらの経路においては、実質的にインピーダンス素子が存在しないため、充電抵抗は極めて小さくなるため、MOSFET 4 は速やかにスイッチオンされる。

【0019】

制御回路 6 を構成する $n p n$ トランジスタ 8 は、入力オン状態においては、ダイオード 9 のアノードからカソードに流れる電流によりベースとエミッタ間が逆バイアス状態となるので、オフ状態となる。他方、入力オフ状態においては、MOSFET ゲートに蓄積された電荷がインピーダンス素子 7 を通り $n p n$ トランジスタ 8 のベース端子に放電され、ベース電流となるので、 $n p n$ トランジスタ 8 はオン状態となる。

【0020】

このような制御回路 6 を用いることにより、インピーダンス素子が MOSFET の充電電流に対して直列に入らないため、充電抵抗として作用することなく、スイッチオン時間を短縮できるとともに、 $n p n$ トランジスタ 8 とダイオード 9 は、J-FET の $1/10$ 以下のスペースで形成できるため、チップシュリンク、コストダウンを図ることが可能となる。

【0021】

なお、従来の J-FET を用いた光半導体リレーにおいても、直列インピーダンスを低減することによりスイッチオン時間を短縮することができる。すなわち、図 3 に示すように、従来と同様に形成された半導体リレーのインピーダンス

素子 10 と並列に接続するように、複数の直列に接続したダイオード素子（以下バイパスダイオード 11）を設ける。通常 J-FET 素子 12 には 1～2 V 程度でオフするものが用いられているが、インピーダンス素子の両端の電位差が 2 V を超え、J-FET がオフした時点でバイパスダイオードが動作することにより、充電抵抗となる第 2 の PDA 3 の直列インピーダンスが低減し、スイッチオン時間が短縮される。

【0022】

本発明は上述した実施形態に限定されるものではない。例えば、図 2 に示した npn トランジスタに代えて pnp トランジスタを用いることができる。また、MOSFET のゲート回路に、スイッチング時間調あるいは光感度整用の微小インピーダンスを挿入しても、本発明の作用効果を達成することができる。

【0023】

【発明の効果】

本発明によれば、動作機能を低下させることなく、スイッチオン時間を短縮するとともにチップシュリンク、コストダウンを図ることが可能な光半導体リレーを提供することができる。

【図面の簡単な説明】

【図 1】 本発明の光半導体リレーの回路構成を示す図。


【図 2】 本発明の光半導体リレーの回路構成を示す図。

【図 3】 本発明の光半導体リレーの回路構成を示す図。

【図 4】 従来の光半導体リレーの回路構成を示す図。

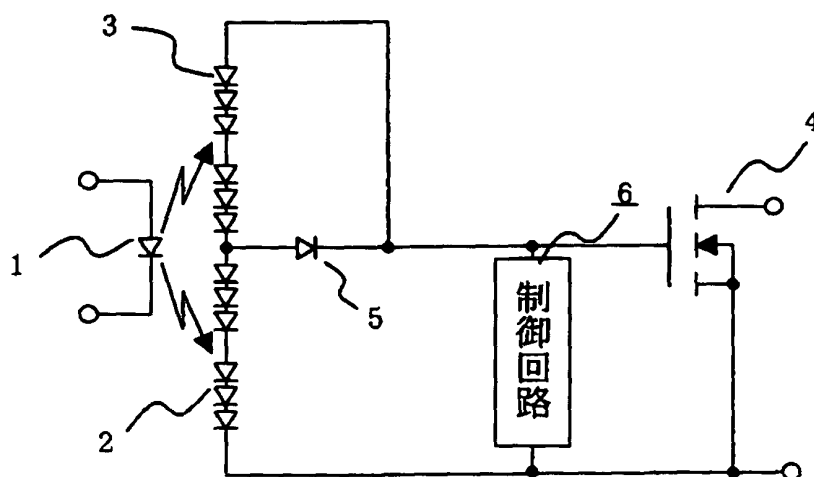
【符号の説明】

- 1 LED
- 2 第 1 の PDA
- 3 第 2 の PDA
- 4 MOSFET
- 5 ダイオード
- 6 制御回路
- 7 インピーダンス素子

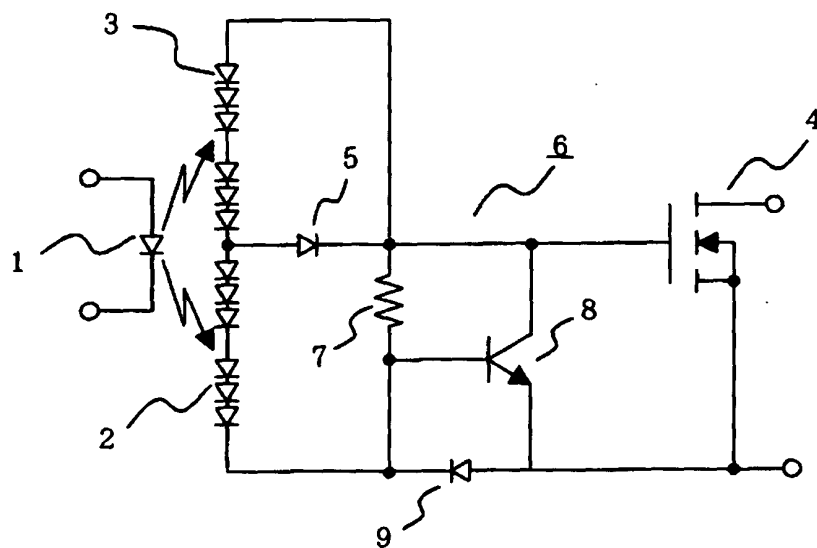
- 
- 8 n p n トランジスタ
 - 9 ダイオード
 - 1 0 インピーダンス素子
 - 1 1 バイパスダイオード
 - 1 2 J - F E T

【書類名】 図面

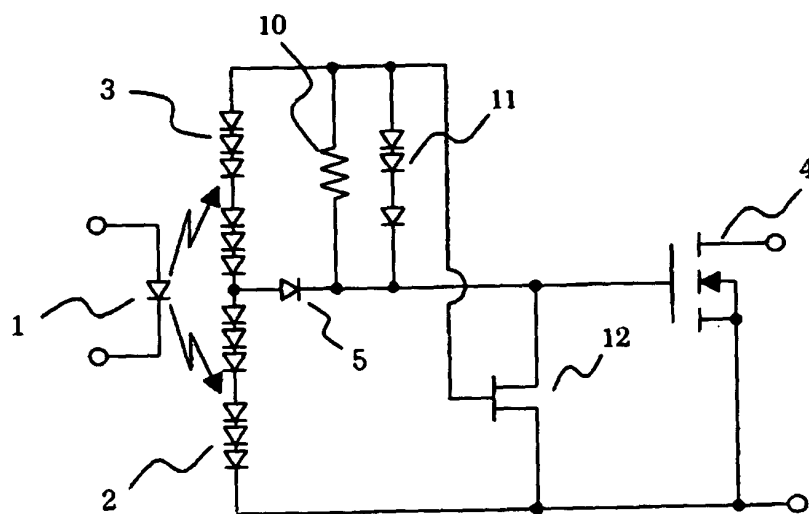
【図 1】



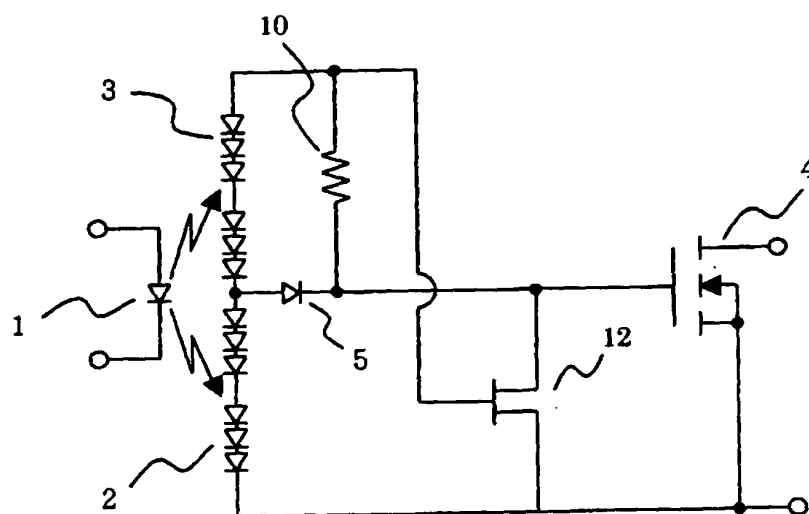
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 動作機能を低下させることなく、スイッチオン時間を短縮するとともにチップシュリンク、コストダウンを図ることが可能な光半導体リレーを提供する。

【解決手段】 電気信号を光信号に変換する発光素子 1 と、この発光素子の光信号を電気信号に変換する第 1 のフォトダイオードアレイ 2 と、アノード端子が、第 1 のフォトダイオードアレイ 2 のアノード端子に接続される第 1 のダイオード 5 と、ゲート端子が、第 1 のダイオード 5 のカソード端子に、ソース端子が、第 1 のフォトダイオードアレイ 2 のカソード端子に接続される MOSFET 4 と、MOSFET 4 のゲートと第 1 のフォトダイオードアレイ 2 のアノード端子間に接続された第 2 のフォトダイオードアレイ 3 と、MOSFET 4 のゲートと第 1 のフォトダイオードアレイ 2 のカソード端子間に接続されたインピーダンス素子 7 と、インピーダンス素子 7 の両端にベース・コレクタ端子がそれぞれ接続された npn トランジスタ 8 と、n pn トランジスタ 8 のエミッタ・ベース端子間に接続されたダイオード 9 から構成されている。

【選択図】 図 2

特願2002-273500

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝